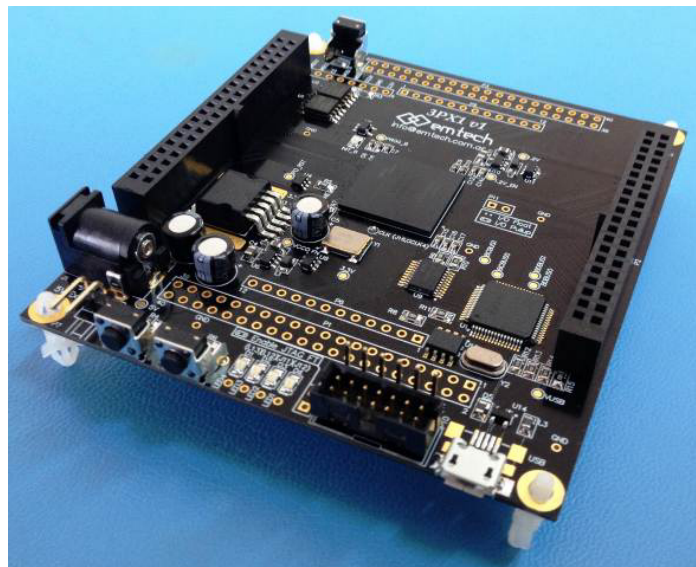


PLACA 3PX1

Manual de usuario



Autor	Emtech S.A.
Versión	1
Ultima revisión	19 de Noviembre, 2014

Contenido

1	Introducción.....	4
2	Descripción general.....	5
2.1	Arquitectura	5
3	Especificaciones.....	6
3.1	FPGA	6
3.2	Programación y depuración	6
3.3	Interfaces.....	6
3.4	Componentes	6
3.5	Conectores	6
4	Opciones	7
4.1	Pull-Ups.....	7
4.2	Configuración	7
5	Dimensiones.....	7
6	Pin out	8
6.1	LEDs, pulsadores, CLK, UART	8
6.2	Conectores de I/Os FPGA	8
6.3	Conectores JTAG	10
6.4	Conector SPI	11
6.5	Conector Power.....	11
6.6	Configuración	11
6.7	Conexión FPGA-FTDI.....	11
7	Ejemplo de archivo de configuración (ucf):	12

Revisiones

Fecha	Versión	Modificaciones
19/11/2014	1	● Versión original

1 Introducción

En este documento se describen las características de la placa 3PX1 diseñada por Emtech S.A. Se mencionan los componentes principales, posibilidades de conexión, dimensiones físicas, etc.

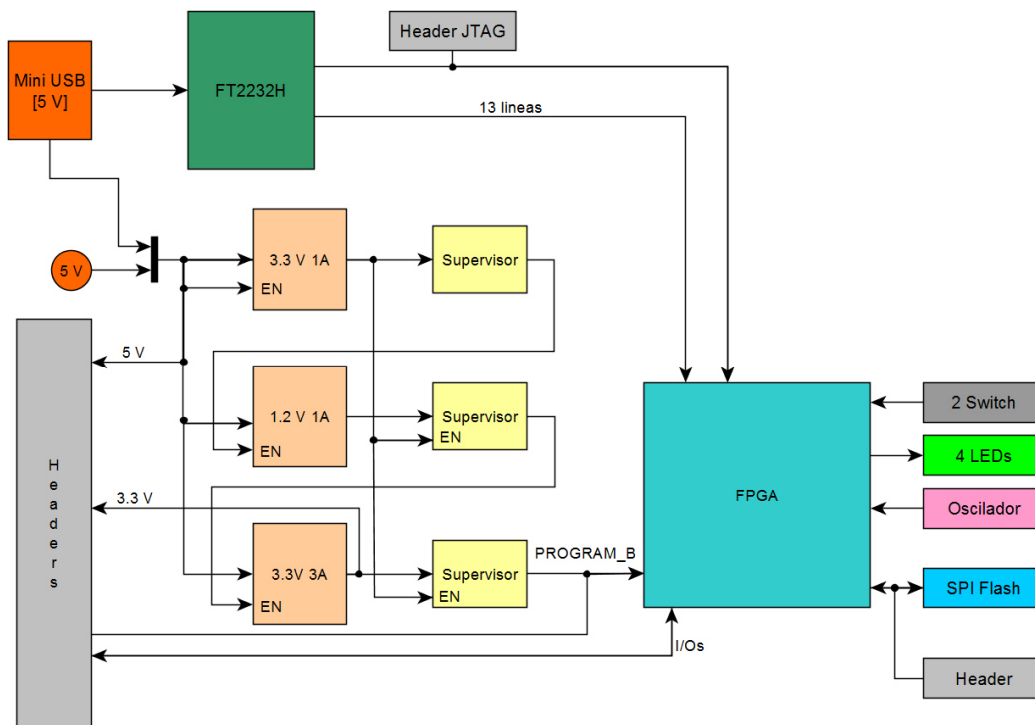
La finalidad de este documento es proporcionar al usuario de la placa una base necesaria para poder poner en marcha la misma y utilizar los recursos disponibles.

2 Descripción general

La placa 3PX1 es una placa para enseñanza y desarrollo basada en la FPGA Spartan 6 de Xilinx. Incluye todos los recursos necesarios para comenzar a desarrollar y ensayar diseños digitales (IP-cores) sin la necesidad de programadores u otros instrumentos adicionales. Esto la hace ideal tanto para el aprendizaje de lenguajes de descripción de hardware (HDL) y técnicas digitales como para el prototipado rápido de sistemas digitales.

2.1 Arquitectura

La siguiente imagen describe la arquitectura implementada en el diseño:



3 Especificaciones

3.1 FPGA

- Xilinx Spartan 6XC6SLX25-2FTG256C
- 24.000 celdas lógicas
- 30.000 flip-flops
- 936 Kb de RAM
- 38 bloques DSP

3.2 Programación y depuración

- USB JTAG mediante chip FTDI
- Conector JTAG disponible para programador externo

3.3 Interfaces

- USB/Serial
- USB/Paralelo
- 148 I/Os LVTTTL sobre conectores estándar de paso 100 mils
- Leds y pulsadores

3.4 Componentes

- Oscilador de 50 MHz
- Interfaz USB FT2232HL
- 2 x NOR FLASH MEMORY N25Q128A13ESE40E de 128 Mbit
- Memoria EEPROM 2 kbit para configuración del FT2232HL
- Conversor de niveles para líneas JTAG

3.5 Conectores

- Alimentación por jack 2.1 mm y por conector 2x1 paso 100 mils
- Micro USB AB para FTDI
- Conector 2x7 pines paso 2 mm estándar JTAG de Xilinx
- Conector 6 pines paso 100 mils líneas JTAG
- 4 conectores 2x20 paso 100 mils para I/Os de FPGA compatibles con placas DTR de Emtech
- 2 conectores 12 pines paso 100 mils para I/Os FPGA
- Conector 9 pines para señales SPI de programación de memoria ROM externa

4 Opciones

4.1 Pull-Ups

El jumper P11 permite seleccionar el comportamiento de los pines de la FPGA durante la configuración.

P11	Descripción
Abierto	Los pines de I/O de la FPGA se mantienen en estado de alta impedancia.
Cerrado	Se habilitan resistencias de pull-up internas en los pines de I/O de la FPGA.

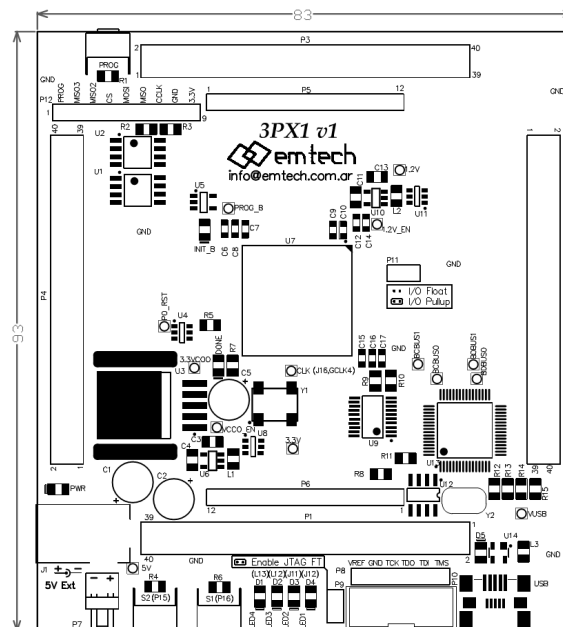
4.2 Configuración

P9	Descripción
Abierto	La configuración a través del convertor USB-JTAG no está disponible.
Cerrado	Habilita la configuración a través del convertor USB-JTAG.

5 Dimensiones

La placa 3PX1 fue diseñada manteniendo la línea de productos de Emtech S.A., por lo cual es posible conectar desde las placas DTR1, DTR2 y DTR3 hasta la placa Lanín CM4.

Esto ofrece la posibilidad de contar con un juego de placas conectadas directamente entre sí, permitiendo ser utilizadas para el prototipado de electrónica embebida más complejas del mercado.



Las dimensiones están en mm.

6 Pin out

6.1 LEDs, pulsadores, CLK, UART

Net Name	FPGA (U7)	Note
LED1	J12	LED1 - Activo en alto
LED2	J11	LED2 - Activo en alto
LED3	L12	LED3 - Activo en alto
LED4	L13	LED4 - Activo en alto
SWITCH1	P16	Switch1 - Activo en bajo
SWITCH2	P15	Switch2 - Activo en bajo
FPGA_GCLK4	J16	Clock 50 MHz
UART_TX	F9 (input)	UART Tx
UART_RX	D9 (output)	UART Rx

6.2 Conectores de I/Os FPGA

Net Name	Pin Connector	FPGA (U7)	Net Name	Pin Connector	FPGA (U7)
GND	P1-1	-	GND	P2-1	-
GND	P1-2	-	GND	P2-2	-
5V	P1-3	-	5V	P2-3	-
3.3V	P1-4	-	3.3V	P2-4	-
P1_1	P1-5	U7-B15	P2_1	P2-5	U7-D3
P1_2	P1-6	U7-B16	P2_2	P2-6	U7-D1
P1_3	P1-7	U7-B14	P2_3	P2-7	U7-C1
P1_4	P1-8	U7-A14	P2_4	P2-8	U7-B1
P1_5	P1-9	U7-C15	P2_5	P2-9	U7-F6
P1_6	P1-10	U7-C16	P2_6	P2-10	U7-F5
P1_7	P1-11	U7-E13	P2_7	P2-11	U7-B2
P1_8	P1-12	U7-E12	P2_8	P2-12	U7-A2
P1_9	P1-13	U7-D14	P2_9	P2-13	U7-C3
P1_10	P1-14	U7-D16	P2_10	P2-14	U7-C2
P1_11	P1-15	U7-E15	P2_11	P2-15	U7-B3
P1_12	P1-16	U7-E16	P2_12	P2-16	U7-A3
P1_13	P1-17	U7-F13	P2_13	P2-17	U7-D5
P1_14	P1-18	U7-F14	P2_14	P2-18	U7-C5
P1_15	P1-19	U7-F15	P2_15	P2-19	U7-B5
P1_16	P1-20	U7-F16	P2_16	P2-20	U7-A5
P1_17	P1-21	U7-G14	P2_17	P2-21	U7-D6
P1_18	P1-22	U7-G16	P2_18	P2-22	U7-C6
P1_19	P1-23	U7-H13	P2_19	P2-23	U7-B6
P1_20	P1-24	U7-H14	P2_20	P2-24	U7-A6
P1_21	P1-25	U7-H15	P2_21	P2-25	U7-C7
P1_22	P1-26	U7-H16	P2_22	P2-26	U7-A7
P1_23	P1-27	U7-J13	P2_23	P2-27	U7-F7

Net Name	Pin Connector	FPGA (U7)		Net Name	Pin Connector	FPGA (U7)
P1_24	P1-28	U7-K14		P2_24	P2-28	U7-E6
P1_25	P1-29	U7-K15		P2_25	P2-29	U7-D8
P1_26	P1-30	U7-K16		P2_26	P2-30	U7-C8
P1_27	P1-31	U7-L14		P2_27	P2-31	U7-B8
P1_28	P1-32	U7-L16		P2_28	P2-32	U7-A8
P1_29	P1-33	U7-M15		P2_29	P2-33	U7-E7
P1_30	P1-34	U7-M16		P2_30	P2-34	U7-E8
P1_31	P1-35	U7-M13		P2_31	P2-35	U7-C9
P1_32	P1-36	U7-M14		P2_32	P2-36	U7-A9
3.3V	P1-37	-		3.3V	P2-37	-
5V	P1-38	-		5V	P2-38	-
GND	P1-39	-		GND	P2-39	-
GND	P1-40	-		GND	P2-40	-

Net Name	Pin Connector	FPGA (U7)		Net Name	Pin Connector	FPGA (U7)
GND	P3-1	-		GND	P4-1	-
GND	P3-2	-		GND	P4-2	-
5V	P3-3	-		5V	P4-3	-
3.3V	P3-4	-		3.3V	P4-4	-
P3_1	P3-5	U7-R2		P4_1	P4-5	U7-R14
P3_2	P3-6	U7-R1		P4_2	P4-6	U7-T15
P3_3	P3-7	U7-P2		P4_3	P4-7	U7-T14
P3_4	P3-8	U7-P1		P4_4	P4-8	U7-T13
P3_5	P3-9	U7-N3		P4_5	P4-9	U7-R12
P3_6	P3-10	U7-N1		P4_6	P4-10	U7-T12
P3_7	P3-11	U7-M4		P4_7	P4-11	U7-M12
P3_8	P3-12	U7-M3		P4_8	P4-12	U7-M11
P3_9	P3-13	U7-M2		P4_9	P4-13	U7-L10
P3_10	P3-14	U7-M1		P4_10	P4-14	U7-M10
P3_11	P3-15	U7-L3		P4_11	P4-15	U7-R9
P3_12	P3-16	U7-L1		P4_12	P4-16	U7-T9
P3_13	P3-17	U7-K3		P4_13	P4-17	U7-N9
P3_14	P3-18	U7-J4		P4_14	P4-18	U7-P9
P3_15	P3-19	U7-K2		P4_15	P4-19	U7-P8
P3_16	P3-20	U7-K1		P4_16	P4-20	U7-T8
P3_17	P3-21	U7-J3		P4_17	P4-21	U7-M9
P3_18	P3-22	U7-J1		P4_18	P4-22	U7-N8
P3_19	P3-23	U7-H4		P4_19	P4-23	U7-R7
P3_20	P3-24	U7-H3		P4_20	P4-24	U7-T7
P3_21	P3-25	U7-H2		P4_21	P4-25	U7-L8
P3_22	P3-26	U7-H1		P4_22	P4-26	U7-L7
P3_23	P3-27	U7-G6		P4_23	P4-27	U7-P7
P3_24	P3-28	U7-G5		P4_24	P4-28	U7-M7
P3_25	P3-29	U7-G3		P4_25	P4-29	U7-M6
P3_26	P3-30	U7-G1		P4_26	P4-30	U7-N6

Net Name	Pin Connector	FPGA (U7)		Net Name	Pin Connector	FPGA (U7)
P3_27	P3-31	U7-F2		P4_27	P4-31	U7-P6
P3_28	P3-32	U7-F1		P4_28	P4-32	U7-T6
P3_29	P3-33	U7-E2		P4_29	P4-33	U7-R5
P3_30	P3-34	U7-E1		P4_30	P4-34	U7-T5
P3_31	P3-35	U7-E4		P4_31	P4-35	U7-N5
P3_32	P3-36	U7-E3		P4_32	P4-36	U7-P5
3.3V	P3-37	-		3.3V	P4-37	-
5V	P3-38	-		5V	P4-38	-
GND	P3-39	-		GND	P4-39	-
GND	P3-40	-		GND	P4-40	-

Net Name	Pin Connector	FPGA (U7)		Net Name	Pin Connector	FPGA (U7)
GND	P5-1	-		GND	P6-1	-
P5_1	P5-2	U7-N4		P6_1	P6-2	U7-F12
P5_2	P5-3	U7-M5		P6_2	P6-3	U7-G11
P5_3	P5-4	U7-L5		P6_3	P6-4	U7-G12
P5_4	P5-5	U7-L4		P6_4	P6-5	U7-H11
P5_5	P5-6	U7-K6		P6_5	P6-6	U7-K12
P5_6	P5-7	U7-K5		P6_6	P6-7	U7-K11
P5_7	P5-8	U7-J6		P6_7	P6-8	U7-N16
P5_8	P5-9	U7-H5		P6_8	P6-9	U7-N14
P5_9	P5-10	U7-F3		P6_9	P6-10	U7-R16
P5_10	P5-11	U7-F4		P6_10	P6-11	U7-R15
3.3V	P5-12	-		3.3V	P6-12	-

6.3 Conectores JTAG

Net Name	Pin Connector	FPGA (U7)		Net Name	Pin Connector	FPGA (U7)
GND	P10-1	-		3.3V	P8-1	-
3.3V	P10-2	-		GND	P8-2	-
GND	P10-3	-		TCK	P8-3	C14
TMS	P10-4	A15		TDO	P8-4	E14
GND	P10-5	-		TDI	P8-5	C12
TCK	P10-6	C14		TMS	P8-6	A15
GND	P10-7	-				
TDO	P10-8	E14				
GND	P10-9	-				
TDI	P10-10	C12				
GND	P10-11	-				
N.C.	P10-12	-				
GND	P10-13	-				
N.C.	P10-14	-				

6.4 Conector SPI

Net Name	Pin Connector	Note
FPGA_PROG	P12-1	to AND GATE PROGRAM B
FPGA_D2_MISO3	P12-2	U7-P12
FPGA_D1_MISO2	P12-3	U7-N12
FPGA_SPI_CS	P12-4	U7-T3
FPGA_MOSI_MISO0	P12-5	U7-T10
FPGA_D0_DIN_MISO_MOSI1	P12-6	U7-P10
FPGA_CCLK	P12-7	U7-R11
GND	P12-8	-
3.3V	P12-9	-

6.5 Conector Power

Net Name	Pin Connector
5V	P7-1
GND	P7-2

Net Name	Pin Connector
5V	J1-CENTRO
GND	J1-EXTERIOR

6.6 Configuración

Pin Connector	Tip	Note
P11-Open	I/Os float	Float I/Os output during FPGA configuration
P11-Closed	I/Os Pull-up	pull-up I/Os output during FPGA configuration

6.7 Conexión FPGA-FTDI

Pin FTDI	Net Name	Pin FPGA
BDBUS0	FT_1	U7-F9
BDBUS1	FT_2	U7-D9
BDBUS2	FT_3	U7-E10
BDBUS3	FT_4	U7-C10
BDBUS4	FT_5	U7-A10
BDBUS5	FT_6	U7-B10
BDBUS6	FT_7	U7-C11
BDBUS7	FT_8	U7-A11
BCBUS0	FT_9	U7-B12
BCBUS1	FT_10	U7-A12
BCBUS2	FT_11	U7-D11
BCBUS3	FT_12	U7-D12
BCBUS4	FT_13	U7-C13

7 Ejemplo de archivo de configuracion (ucf):

```
# clock frequency (min 50MHz)
NET "clk_i" TNM_NET = "SYS_CLK";
TIMESPEC TS_SYS_CLK = PERIOD "SYS_CLK" 20 ns HIGH 50 %;

# pin locations
NET "board_rst_ni" LOC = "P16"; # SW1
NET "clk_i" LOC = "J16";

# board button and leds
NET "button_ni" LOC = "P15"; # SW2
NET "leds_o(0)" LOC = "J12"; # LED1
NET "leds_o(1)" LOC = "J11"; # LED2
NET "leds_o(2)" LOC = "L12"; # LED3
NET "leds_o(3)" LOC = "L13"; # LED4

# I/O standard
NET "**" IOSTANDARD = LVTTTL;
```

Para mas información o consulta de los productos de Emtech S.A. diríjase a la página www.emtech.com.ar o escribanos a info@emtech.com.ar.